

между сигналами H.SW и VSS не будет соответствовать правильному значению.

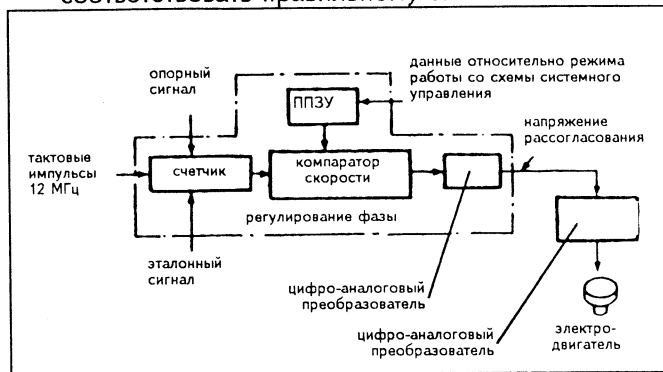


Рис. 7-7. Схема регулировки фазы

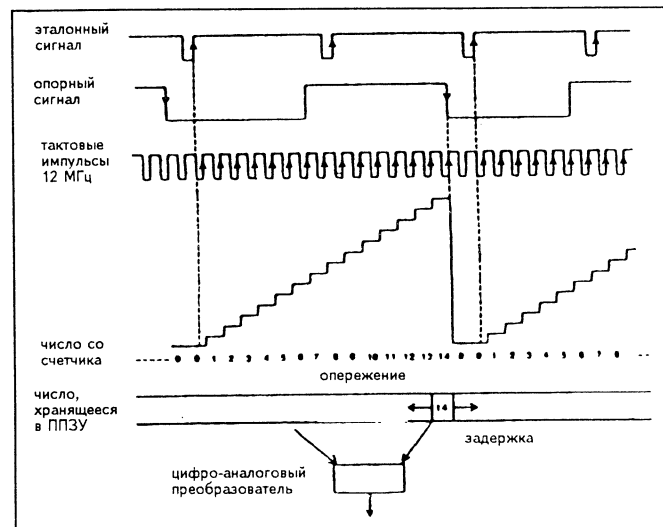


Рис. 7-8. Компаратор скорости

## 7-2. Схема серворегулирования скорости цилиндра головок

На рис. 7-9. представлена упрощенная схема системы серворегулирования скорости цилиндра головок.

Имеется две главных линии регулирования: линия регулирования крутящего момента (ЕС:IC6004-94) и линия регулирования напряжения питания (VM:IC2101-29).

Линия регулирования крутящего момента контролирует рассогласование скорости и фазы вращения головки с помощью сигналов CYL FG (информация относительно скорости), CYL PG (информация относительно фазы) и VSS (синхронизация поступающего видеосигнала). (См. рис. 7-4).

Линия регулирования напряжения питания контролирует колебания напряжения в соответствии с нагрузкой вращения. При повышении скорости вращения схема регулирования питания подает большее напряжение. Если скорость вращения является нормальной, обеспечивается экономное расходование мощности батареи при поддержании нормальной скорости вращения.

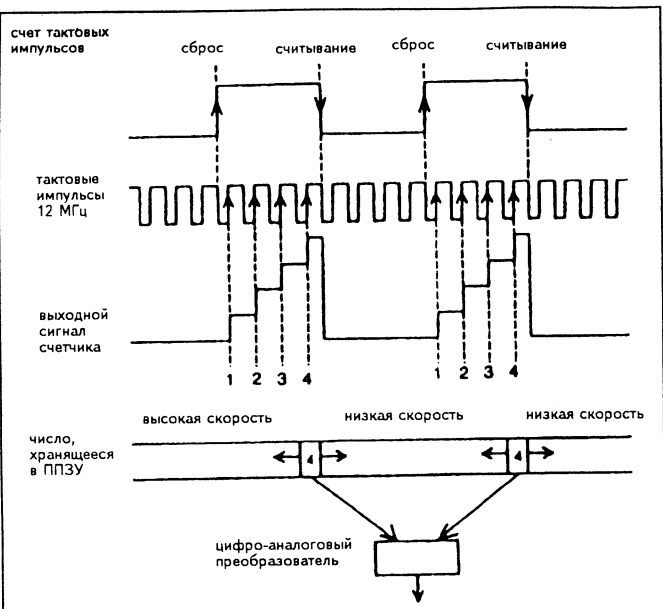


Рис. 7-6. Компаратор скорости

## (5) Цифровая система серворегулирования фазы

Цифровая схема регулирования фазы регистрирует рассогласование фазы (сдвиг фазы) между эталонным сигналом и сигналом сравнения, как показано на рис. 7-4.

Она посылает данные рассогласования на цифро-аналоговый преобразователь, который преобразует эти данные в сигнал постоянного напряжения.

Это постоянное напряжение смешивается с постоянным напряжением рассогласования скорости для выполнения точного регулирования скорости, пока рассогласование фазы не будет устранено. (См. рис. 7-7).

Регулирование фазы объясняется на приведенном ниже примере.

- 1) В режиме записи система серворегулирования фазы поддерживает такой временной сдвиг между сигналами H.SW и VSS, что сигнал VSS записывается на расстоянии 6,5H от точки переключения головки.
- 2) В ППЗУ записывается число, используемое для регулирования фазы в режиме записи, в данном случае - это число "14".
- 3) Компаратор фазы считает тактовые импульсы в промежутке между фронтом эталонного сигнала (VSS) и сигнала сравнения (опорного сигнала) (H.SW), как показано на рис. 7-8.
- 4) Если количество счетов равно "14", временной сдвиг между сигналами H.SW и VSS является правильным. (Это означает, что сигнал VSS записывается на видеодорожке в правильном месте). Если количество счетов отличается от значения, хранящегося в ППЗУ, выполняется точное регулирование скорости с помощью изменения напряжения рассогласования постоянного тока. Эта регулировка будет выполняться до тех пор, пока временной сдвиг